

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representation of  
The original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORLED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年11月10日

出願番号

Application Number:

特願2000-344453

出願人

Applicant(s):

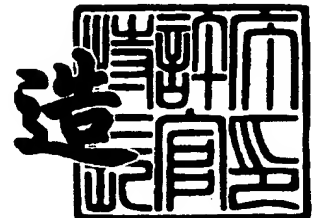
ソニー株式会社

RECEIVED  
MAR 14 2002  
TC 2800 MAIL ROOM

2001年10月19日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3092275

【書類名】 特許願

【整理番号】 0000967702

【提出日】 平成12年11月10日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 25/00

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 松本 茂生

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 藤田 靖志

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100067736

【弁理士】

【氏名又は名称】 小池 晃

【選任した代理人】

【識別番号】 100086335

【弁理士】

【氏名又は名称】 田村 榮一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司

【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ装置及びこれに用いる集積回路チップ

【特許請求の範囲】

【請求項 1】 ホスト機器に装着される略矩形状の装置本体と、  
内部にメモリ素子が内蔵される一又は複数のメモリチップと、  
上記装置本体の一辺に設けられる上記ホスト機器に電氣的に接続するための第 1 の接続端子と、

上記装置本体に装着可能なメモリチップの数に対応して設けられ、上記装置本体の他辺に設けられた上記メモリチップが挿入される挿入口に連続して設けられ上記メモリチップが装着される装着部と、

上記装着部に設けられ、上記メモリチップに設けられた端子群と電氣的に接続される第 2 の接続端子とを備え、

上記装置本体には、上記装着部に装着された一又は複数のメモリチップに対する情報信号の書込と読出を制御する制御部が設けられていることを特徴とするメモリ装置。

【請求項 2】 上記装置本体は、短辺を略 2 1 . 4 5 m m となし、長辺を略 5 0 m m となし、厚さを略 2 . 8 m m とすことを特徴とする請求項 1 記載のメモリ装置。

【請求項 3】 上記装置本体の装着部には、論理回路が構成された半導体集積回路素子が内蔵された上記メモリチップと同形状の更なるチップが装着可能であることを特徴とする請求項 1 記載のメモリ装置。

【請求項 4】 上記メモリ素子は、フラッシュメモリであることを特徴とする請求項 1 記載のメモリ装置。

【請求項 5】 ホスト機器に装着される略矩形状の装置本体に着脱され、この装置本体に内蔵された制御部によって制御される集積回路素子を内蔵した集積回路チップであり、

上記集積回路素子が内蔵され、上記装置本体に設けられた装着部に着脱されるチップ本体と、

上記チップ本体の一辺に設けられ、上記装着部に設けられた接続端子に接続さ

れることにより上記制御部と上記集積回路素子との間で情報信号のやり取りを行う端子群とを備える集積回路チップ。

【請求項 6】 上記集積回路素子は、フラッシュメモリであることを特徴とする請求項 5 記載の集積回路チップ。

【請求項 7】 上記集積回路素子は、論理回路素子であることを特徴とする請求項 5 記載の集積回路チップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ホスト機器に着脱可能な装置本体に対してメモリチップの着脱を行うことができるメモリ装置及びこのメモリ装置に用いる上記装置本体に対して着脱可能な集積回路チップに関する。

【0002】

【従来の技術】

従来、パーソナルコンピュータやデジタルスチルカメラ等の情報処理装置の外部記憶装置として、半導体メモリを記録媒体として用いる略板状のメモリ装置がある。このメモリ装置は、記憶容量が大きいもので 64 メガバイト程度の情報信号を記録することができるようになっている。

【0003】

【発明が解決しようとする課題】

ところで、このメモリ装置をデジタルスチルカメラ等の外部記憶装置に用いるときには、データサイズの比較的大きな画像データを取り扱うことになることから、多くの画像データを一のメモリ装置に保存することができない。したがって、利用者は、新たにメモリ装置を購入する必要がある。

【0004】

また、このメモリ装置には、画像データの他に楽曲データやコンピュータで処理される処理データ等が保存されることもある。このとき、1つのメモリ装置に多くの種類のデータを保存すると、利用者がメモリ装置に保存したデータを忘れてしまうこと等が生じてしまい、従って、これを防止するためデータ管理が煩雑

なものになってしまう。

【0005】

更に、メモリ装置に楽曲データ等の著作権により保護されたデジタルコンテンツを保存するときには、デジタルコンテンツの違法コピーを防止するため、著作権管理機能を備える必要がある。このように、メモリ装置では、保存する情報信号の種類に応じた機能を付加することが必要になることがある。

【0006】

そこで、本発明の目的は、装置本体に対してメモリチップの着脱を可能にすることで、利用者の使用目的に応じて記憶容量を可変することができるようにし、使い勝手を良くすることができる新規なメモリ装置を提供することにある。

【0007】

また、本発明の目的は、メモリチップの装着部に、メモリ機能とは別の機能を有する集積回路素子が内蔵されたチップを装着できるようにすることで、新たな機能を容易に付加することができるメモリ装置を提供することにある。

【0008】

更に、本発明の目的は、ホスト機器の外部装置に様々な機能を付加するためのホスト機器に着脱可能な装置本体に更に着脱可能な集積回路素子を内蔵した集積回路チップを提供することにある。

【0009】

【課題を解決するための手段】

本発明に係るメモリ装置は、上述した課題を解決すべく、ホスト機器に装着される略矩形状の装置本体と、内部にメモリ素子が内蔵される一又は複数のメモリチップと、装置本体の一辺に設けられるホスト機器に電氣的に接続するための第1の接続端子と、装置本体に装着可能なメモリチップの数に対応して設けられ、装置本体の他辺に設けられたメモリチップが挿入される挿入口に連続して設けられメモリチップが装着される装着部と、装着部に設けられ、メモリチップに設けられた端子群と電氣的に接続される第2の接続端子とを備える。そして、装置本体には、装着部に装着された一又は複数のメモリチップに対する情報信号の書込と読出を制御する制御部が設けられている。

## 【 0 0 1 0 】

また、本発明に係る半導体素子内蔵型チップは、上述した課題を解決すべく、ホスト機器に装着される略矩形状の装置本体に着脱され、この装置本体に内蔵された制御部によって制御される集積回路素子を内蔵した集積回路チップであり、集積回路素子が内蔵され、装置本体に設けられた装着部に着脱されるチップ本体と、チップ本体の一辺に設けられ、装着部に設けられた接続端子に接続されることにより制御部と集積回路素子との間で情報信号のやり取りを行う端子群とを備える。

## 【 0 0 1 1 】

## 【発明の実施の形態】

以下、本発明が適用されたメモリ装置及びこのメモリ装置に用いるメモリチップについて、図面を参照して説明する。

## 【 0 0 1 2 】

このメモリ装置 1 0 は、図 1 に示すように、パーソナルコンピュータ、デジタルスチルカメラ、デジタルビデオカメラ、オーディオ機器等のホスト機器 1 の外部記憶装置として用いられるものであり、コンピュータで処理される処理データ、画像データ、ビデオデータ、楽曲データ等の情報信号が記憶されるものである。このようなメモリ装置 1 0 は、図 1 に示すように、ホスト機器 1 に設けられたメモリ装置 1 0 の挿脱口 2 よりホスト機器 1 に装着されて、情報信号の記録や再生が行われる。

## 【 0 0 1 3 】

以上のように用いられるメモリ装置 1 0 は、図 2、図 3、図 4、図 5 に示すように、短辺の長さ  $W_1$  を略 2 1 . 4 5 mm となし、長辺の長さ  $W_2$  を 5 0 mm となし、厚さ  $W_3$  を 2 . 8 mm となす略矩形状に形成されている。

## 【 0 0 1 4 】

この板状メモリ 1 0 は、装置本体を構成する上ハーフ 1 0 a と下ハーフ 1 0 b とからなる筐体 1 1 を有する。筐体 1 1 を構成する上ハーフ 1 0 a と下ハーフ 1 0 b とは、剛性を有する合成樹脂をモールド成型して形成されている。このような上ハーフ 1 0 a と下ハーフ 1 0 b とを結合して構成された筐体 1 1 には、内部



に、情報信号の書込や読出を行うための制御部が構成された半導体素子 1 2 が内蔵されている。すなわち、筐体 1 1 は、使用時に加わる通常の外力等によっては曲がらない程度の機械的強度を有するように形成され、内部の半導体素子 1 2 の保護を図っている。

## 【 0 0 1 5 】

筐体 1 1 の一方の短辺側には、前面 1 1 a から底面 1 1 b に亘るように、端子部 1 3 が形成されている。この端子部 1 3 は、電極の数だけ仕切壁 1 4 によって、ホスト機器 1 側に設けられた端子群に係合する係合凹部 1 5 が区画されており、これら係合凹部 1 5 の底面に、互いに仕切壁 1 4 によって分離された複数の電極 1 6 が設けられている。電極 1 6 は、係合凹部 1 5 の底面に設けられることで、係合凹部 1 5 により手指等が直接接触することが防止され保護されている。この筐体 1 1 においては、10 個の電極 1 6 が設けられている。そして、ホスト機器 1 とのデータのやり取りは、シリアルインターフェースにより、端子部 1 3 に設けられた電極 1 6 を介して行われる。具体的に、複数の電極 1 6 は、少なくともシリアルプロトコルバスステート信号 B S の入力端子、シリアルプロトコルデータ信号 S D I O の入力端子、シリアルクロック S C L K の入力端子であり、更に電源電圧  $V_{CC}$  端子、リザーブ（予備）端子である。

## 【 0 0 1 6 】

また、筐体 1 1 の端子部 1 3 が形成された前面 1 1 a 側の一方のコーナ部には、利用者がホスト機器 1 への挿入方向を容易に判別することができるようにするため切欠部 1 7 が設けられている。筐体 1 1 の切欠部 1 7 が形成された側の側面 1 1 c には、底面 1 1 b 側を開放した誤挿入防止溝 1 8 が切欠部 1 7 に連続して形成されている。この切欠部 1 7 及び誤挿入防止溝 1 8 は、メモリ装置 1 0 をホスト機器 1 に装着するとき、ホスト機器 1 に対する挿入方向を規制して誤挿入を防止する。すなわち、切欠部 1 7 及び誤挿入防止溝 1 8 は、正規な状態でメモリ装置 1 0 が挿入口 2 より挿入されなかったときには、電極 1 6 とホスト機器 1 側の端子群が仕切壁 1 4 により区画された係合凹部 1 5 に係合しないようにし、電極 1 6 がホスト機器 1 側の端子群と接触しないようにしている。

## 【 0 0 1 7 】

また、筐体 1 1 の一方の側面 1 1 c の前面 1 1 a 側には、ホスト機器 1 に挿入されたとき、ホスト機器 1 側に設けられた弾性係合片に係合してホスト機器 1 からの脱落を防止する脱落防止用凹部 1 9 が底面 1 1 b 側が開放されて形成されている。また、筐体 1 1 の他方の側面 1 1 d 側の略中央部には、ホスト機器 1 側に設けられた排出機構に係合される係合凹部 2 1 が底面 1 1 b 側が開放されて形成されている。

## 【 0 0 1 8 】

ところで、以上のような筐体 1 1 には、図 2 及び図 6 に示すように、メモリチップ 2 7 が着脱される装着部 2 2 が長手方向に 3 つ並んで設けられている。各装着部 2 2 は、筐体 1 1 の一方の側面 1 1 c 側に設けられた挿脱口 2 3 に連続して設けられ、上ハーフ 1 0 a が構成する筐体 1 1 の平面 1 1 e 側に、メモリチップ 2 7 の挿脱を手指等で行うことができるように開口部 2 4 が形成されてなる。このような装着部 2 2 は、メモリチップ 2 7 と同じ大きさに形成され、メモリチップ 2 7 が装着されたとき、メモリチップ 2 7 の挿脱口 2 3 より外部に臨む背面 2 8 e が筐体 1 1 の側面 1 1 c と面一をなすように形成されている。これによって、メモリ装置 1 0 は、メモリチップ 2 7 が装着部 2 2 に装着されたときも、メモリチップ 2 7 の背面が側面 1 1 c より突出することが無くなり、ホスト機器 1 の挿脱を円滑に行うことができ、また、手触りが良くなる。

## 【 0 0 1 9 】

また、装着部 2 2 の底面 2 2 a は、メモリチップ 2 7 の挿脱を行う際の挿脱用ガイド部としても機能するものであり、また、最内方に、メモリチップ 2 7 と電氣的接続を図るための接続端子 2 5 が形成されている。更に、装着部 2 2 には、メモリチップ 2 7 の挿入方向と平行な側面 2 2 b 及びメモリチップ 2 7 の挿入端が突き当てられる側面 2 2 c にメモリチップ 2 7 の挿脱をガイドすると共に、装着位置を規制するガイド凹部 2 6 が形成されている。

## 【 0 0 2 0 】

以上のような装着部 2 2 に装着されるメモリチップ 2 7 は、図 6 に示すように、上記筐体 1 1 と同じ材料によりモールド成型された装着部 2 2 と略同じ大きさの略矩形状のチップ本体 2 8 を有する。このチップ本体 2 8 の内部には、半導体

メモリであるフラッシュメモリ 29 が 1 つ内蔵されている。このフラッシュメモリ 29 は、例えば 4 MB、8 MB、16 MB、32 MB、64 MB、128 MB・・・の記憶容量を有する。

#### 【0021】

このチップ本体 28 の前面 28 a 側、すなわち装着部 22 への挿入端側の底面 28 b には、装着部 22 に設けられた接続端子 25 と電氣的に接続される複数の端子 31 が設けられている。フラッシュメモリ 29 は、端子 31 が装着部 22 の接続端子 25 に電氣的に接続されることで、筐体 11 側に設けられた制御回路によってデータの書込や読出が行われる。

#### 【0022】

また、チップ本体 28 の前面 28 a、前面 28 a と隣り合う両側面 28 c、28 d の底面 28 b 側には、装着部 22 への挿入をガイドするガイド部 32 が突出して形成されている。このガイド部 32 は、装着部 22 に設けられたガイド凹部 26 に係合することで、メモリチップ 27 の挿脱のガイドを行う。

#### 【0023】

なお、装着部 22 には、装着部 22 に装着されたメモリチップ 27 の脱落を防止するため、例えば挿脱口 23 の近傍に脱落防止部材を設けるようにしてもよい。また、装着部 22 の数も、3 つに限定されるものではなく、1 つでもよく、また、2 つ若しくは 4 つ以上であってもよい。

#### 【0024】

次に、以上のようなメモリ装置 10 とこのメモリ装置 10 が装着されるホスト機器 1 の回路構成について図 7 を参照して説明する。

#### 【0025】

先ず、メモリ装置 10 の回路構成について説明すると、メモリ装置 10 の筐体 11 内の半導体素子 12 に構成された制御部 41 は、メモリチップ 27 のフラッシュメモリ 29 へのデータの書込又はフラッシュメモリ 29 からのデータの読出を制御するメモリコントローラ 42 と、データの書込又は読出のための各種パラメータを有するレジスタ 43 と、データを一時的に記憶するページバッファ 44 と、ホスト機器 1 との間でデータのやり取りをするためのシリアル／パラレル・

パラレル／シリアル・インターフェース（以下、S／P・P／Sインターフェースという。）45とを有する。更に、メモリ装置10の装置本体を構成する筐体11には、メモリチップ27のフラッシュメモリ29と筐体11の制御部41との間でデータのやり取りを行うためのチップインターフェース46が設けられている。このチップインターフェース46は、様々な機能を有するチップが装着部22に装着されたときに制御部41とデータのやり取りを行うことができるようにするインターフェースである。

## 【0026】

また、筐体11に着脱されるメモリチップ27には、1つのフラッシュメモリ29と、チップインターフェース46と接続されて制御部41とデータのやり取りを行うチップインターフェース47とが設けられている。

## 【0027】

次に、ホスト機器1の回路構成について説明すると、このホスト機器1は、メモリ装置10のファイル管理を行うファイルマネージャ51と、メモリ装置10の制御部41のレジスタ43やページバッファ44へのアクセスを実行する転送プロトコルインターフェース52と、3つの信号線、すなわちシリアルクロックSCLKとバスステートBSとシリアルデータ入出力SDIOにおいてデータ転送を行うためのプロトコルを規定するシリアルインターフェース53とを有する。ファイルマネージャ51は、ホスト機器1のCPU等の制御部がアプリケーションを実行することにより実現される。

## 【0028】

以上のようなメモリ装置10の使用方法について説明すると、先ず、筐体11に対するメモリチップ27の着脱は、図6に示すように、メモリチップ27が端子31が設けられた前面28aを挿入端として、筐体11の側面11cに設けられた挿脱口23より挿入される。このとき、メモリチップ27は、チップ本体28のガイド部32を装着部22側のガイド凹部26に係合させて、挿脱口23より装着部22内に挿入される。したがって、利用者は、円滑にメモリチップ27の装着部22への挿入を行うことができる。そして、メモリチップ27の挿入が完了すると、メモリチップ27は、端子31が装着部22の接続端子25に接触

されることにより、図 7 に示すメモリチップ 2 7 側のチップインターフェース 4 7 が筐体 1 1 側のチップインターフェース 4 6 に接続されることになる。

#### 【 0 0 2 9 】

メモリチップ 2 7 の装着部 2 2 への装着が完了したとき、メモリチップ 2 7 を構成するチップ本体 2 8 の背面 2 8 e は、筐体 1 1 の挿脱口 2 3 が設けられた側面 1 1 c と略面一の状態となる。したがって、メモリ装置 1 0 は、ホスト機器 1 への挿入を円滑に行うことができると共に、利用者がメモリ装置 1 0 を持ったときの感触が悪くなることを防止できる。

#### 【 0 0 3 0 】

また、筐体 1 1 に設けられた 3 つの装着部 2 2 へは、全ての装着部 2 2 にメモリチップ 2 7 を装着する必要はなく、1 枚又は 2 枚装着するだけでもよく、また、記憶容量の同じメモリチップ 2 7 を装着するだけでなく、記憶容量の異なるメモリチップ 2 7 を装着することもできる。したがって、利用者は、使用目的に応じてメモリ装置 1 0 の全体の記憶容量を自由に決めることができる。更に、利用者は、各装着部 2 2 に、楽曲データを保存したメモリチップ 2 7 と画像データを保存したメモリチップ 2 7 とコンピュータにより処理される処理データを保存するメモリチップ 2 7 を装着するといったように、データの種類の分類したメモリチップ 2 7 を各装着部 2 2 に装着することができる。これによって、利用者は、データ管理を容易に行うことができる。

#### 【 0 0 3 1 】

また、筐体 1 1 よりメモリチップ 2 7 を取り出すときには、開口部 2 4 より外部に臨まされたメモリチップ 2 7 を挿脱口 2 3 の方向にスライドすることによって容易に行うことができる。

#### 【 0 0 3 2 】

以上のようにして、装着部 2 2 の少なくとも 1 つにメモリチップ 2 7 が装着されたメモリ装置 1 0 は、図 1 に示すように、筐体 1 1 の端子部 1 3 が設けられた前面 1 1 a を挿入端として、ホスト機器 1 の挿脱口 2 に挿入される。このとき、筐体 1 1 には、前面 1 1 a 側に切欠部 1 7 と誤挿入防止溝 1 8 が設けられている。したがって、メモリ装置 1 0 では、正規でない状態、例えば裏返しの状態でメ

メモリ装置 1 0 を挿脱口 2 より挿入したときには挿入が阻止され、誤挿入を防止することができる。そして、正規な状態でホスト機器 1 の装着部に装着されたメモリ装置 1 0 は、脱落防止用凹部 1 9 にホスト機器 1 の装着部に設けられた弾性係合片等が係合されることで、装着部に確実に装着され、脱落が防止される。

## 【 0 0 3 3 】

メモリ装置 1 0 がホスト機器 1 に装着されると、電極 1 6 にホスト機器 1 側の端子群が接触され、図 7 に示すように、メモリ装置 1 0 側の S / P ・ P / S インターフェース 4 5 がホスト機器 1 側のシリアルインターフェース 5 3 に接続される。すると、S / P ・ P / S インターフェース 4 5 には、ホスト機器 1 からシリアルプロトコルバスステート信号 B S とシリアルクロック S C L K が供給される。そして、ホスト機器 1 の全体を制御する C P U 等の制御部は、アプリケーションを実行することによりファールマネージャ 5 1 を実現し、このファールマネージャ 5 1 は、筐体 1 1 の装着部 2 2 に装着されたメモリチップ 2 7 のフラッシュメモリ 2 9 よりファイル名、データサイズ等のデータの情報の読出を行う。

## 【 0 0 3 4 】

メモリチップ 2 7 のフラッシュメモリ 2 9 にデータを書き込むとき、ファイルマネージャ 5 1 は、自らを更新すると共に転送プロトコルインターフェース 5 2 とシリアルインターフェース 5 3 とを介してメモリ装置 1 0 にデータを出力する。そして、ファイルマネージャ 5 1 からの制御信号に基づいて、メモリコントローラ 4 2 は、シリアルプロトコルバスステート信号 B S とシリアルクロック S C L K に従って、ホスト機器 1 から入力されるデータを S / P ・ P / S インターフェース 4 5 を介してページバッファ 4 4 に一時的に記憶し、次いで、チップインターフェース 4 6, 4 7 を介して所定のメモリチップ 2 7 のフラッシュメモリ 2 9 にデータを記憶する。

## 【 0 0 3 5 】

また、所定のメモリチップ 2 7 のフラッシュメモリ 2 9 に記憶されたデータを読み出すとき、ファイルマネージャ 5 1 からの制御信号に基づいて、メモリコントローラ 4 2 は、シリアルプロトコルバスステート信号 B S とシリアルクロック S C L K に従って、所定のメモリチップ 2 7 のフラッシュメモリ 2 9 よりデータ

をページバッファ 4 4 に読み出し、次いで、S / P ・ P / S インターフェース 4 5 を介してホスト機器 1 に出力する。そして、ファイルマネージャ 5 1 は、シリアルインターフェース 5 3 と転送プロトコルインターフェース 5 2 を介してデータの読出を行う。

## 【 0 0 3 6 】

なお、ホスト機器 1 の装着部 2 2 に装着されたメモリ装置 1 0 は、筐体 1 1 の係合凹部 2 1 に係合された排出機構によって挿脱口 2 より外部に排出される。

## 【 0 0 3 7 】

また、メモリチップ 2 7 は、単体で、ホスト機器の外部記憶装置として用いることもできる。このときには、上記メモリ装置 1 0 の装置本体を構成する筐体 1 1 は、メモリチップ 2 7 を外部記憶装置として用いないホスト機器 1 でデータの読出や書込を行うときのアダプタ装置として機能する。

## 【 0 0 3 8 】

以上のようなメモリ装置 1 0 によれば、メモリチップ 2 7 の交換だけで、全体の記憶容量を決めることができ、利用者は、使用目的に応じてメモリ装置 1 0 の記憶容量を変えることができ使い勝手を良くすることができる。また、利用者は、装着部 2 2 毎に用途を使い分けることができる。すなわち、1 番地の装着部 2 2 に装着されたメモリチップ 2 7 には、楽曲データを保存し、2 番地の装着部 2 2 に装着されたメモリチップ 2 7 に画像データを保存し、3 番地の装着部 2 2 に装着されたメモリチップ 2 7 にコンピュータで処理される処理データを保存することができる。したがって、利用者は、データ管理を容易に行うことができる。更に、利用者は、更なるメモリが必要なとき、メモリチップ 2 7 のみを購入すればよいことから、経済的な負担を軽減することができる。

## 【 0 0 3 9 】

なお、チップ本体 2 8 には、上述したフラッシュメモリ 2 9 の他に、集積回路素子として、論理回路が組み込まれた集積回路素子を内蔵してもよい。

## 【 0 0 4 0 】

例えば、図 8 に示す例は、1 番地と 2 番地の装着部 2 2 に、メモリチップ 2 7 を装着し、3 番地の装着部 2 2 に著作権保護チップ 6 1 を装着したものである。

1 番地と 2 番地の装着部 2 2 にメモリチップ 2 7 を装着し、これらのメモリチップ 2 7 に著作権保護されたデジタル信号の楽曲データや画像データやビデオデータ等のデジタルコンテンツを保存するときには、メモリチップ 2 7 に保存されたデジタルコンテンツの違法なコピーを防止するため、利用者の ID 等を保存する必要がある。そこで、このメモリ装置では、チップ本体 2 8 内に、3 番地に利用者 ID 等を保存し、また、認証を行うことができる論理回路が組み込まれた集積回路チップを内蔵した著作権保護チップ 6 1 を 3 番地の装着部 2 2 に装着する。これによって、本発明では、著作権保護機能付きのメモリ装置を構成することができる。

#### 【0041】

また、図 9 に示す例は、1 番地の装着部 2 2 にメモリチップ 2 7 を装着し、2 番地の装着部 2 2 に送受信回路チップ 6 2 を装着し、3 番地の装着部 2 2 にアンテナチップ 6 3 を装着したものである。これによって、メモリ装置間でデータの送受信を行うことができる。

#### 【0042】

なお、勿論、これらのチップ 2 7, 6 1, 6 2, 6 3 が装着される装着部 2 2 の番地は特に限定されるものではない。

#### 【0043】

以上のように、本発明が適用されたメモリ装置では、筐体 1 1 の装着部 2 2 に、様々な機能を有する集積回路チップを装着することができることから、1 つの筐体 1 1 でメモリ機能に様々な機能を付加することができる。

#### 【0044】

##### 【発明の効果】

本発明に係るメモリ装置によれば、メモリチップの交換だけで、全体の記憶容量を決めることができ、利用者は、使用目的に応じてメモリ装置の記憶容量を変えることができ使い勝手を良くすることができる。また、利用者は、装着部毎にメモリチップの用途を使い分けることができる。したがって、利用者は、データ管理を容易に行うことができる。更に、利用者は、更なるメモリが必要なとき、メモリチップのみを購入すればよいことから、経済的な負担を軽減することがで



きる。

【 0 0 4 5 】

また、本発明に係る集積回路チップによれば、チップ本体内に内蔵された集積回路素子にメモリ素子、著作権保護回路素子、送受信回路素子、アンテナ素子、電源回路素子等を用いることで、メモリ装置に様々な機能を付加することができ、メモリ装置の用途を広げることができる。

【図面の簡単な説明】

【図 1】

本発明が適用されたメモリ装置の使用態様を説明する図である。

【図 2】

上記メモリ装置の平面図である。

【図 3】

上記メモリ装置の正面図である。

【図 4】

上記メモリ装置の底面図である。

【図 5】

上記メモリ装置の側面図である。

【図 6】

上記メモリ装置に着脱可能なメモリチップとこのメモリチップが装着される装着部を説明するための斜視図である。

【図 7】

上記メモリ装置とホスト機器の回路構成を説明するブロック図である。

【図 8】

筐体に設けられた装着部にメモリチップと著作権保護チップとを装着した例を説明する図である。

【図 9】

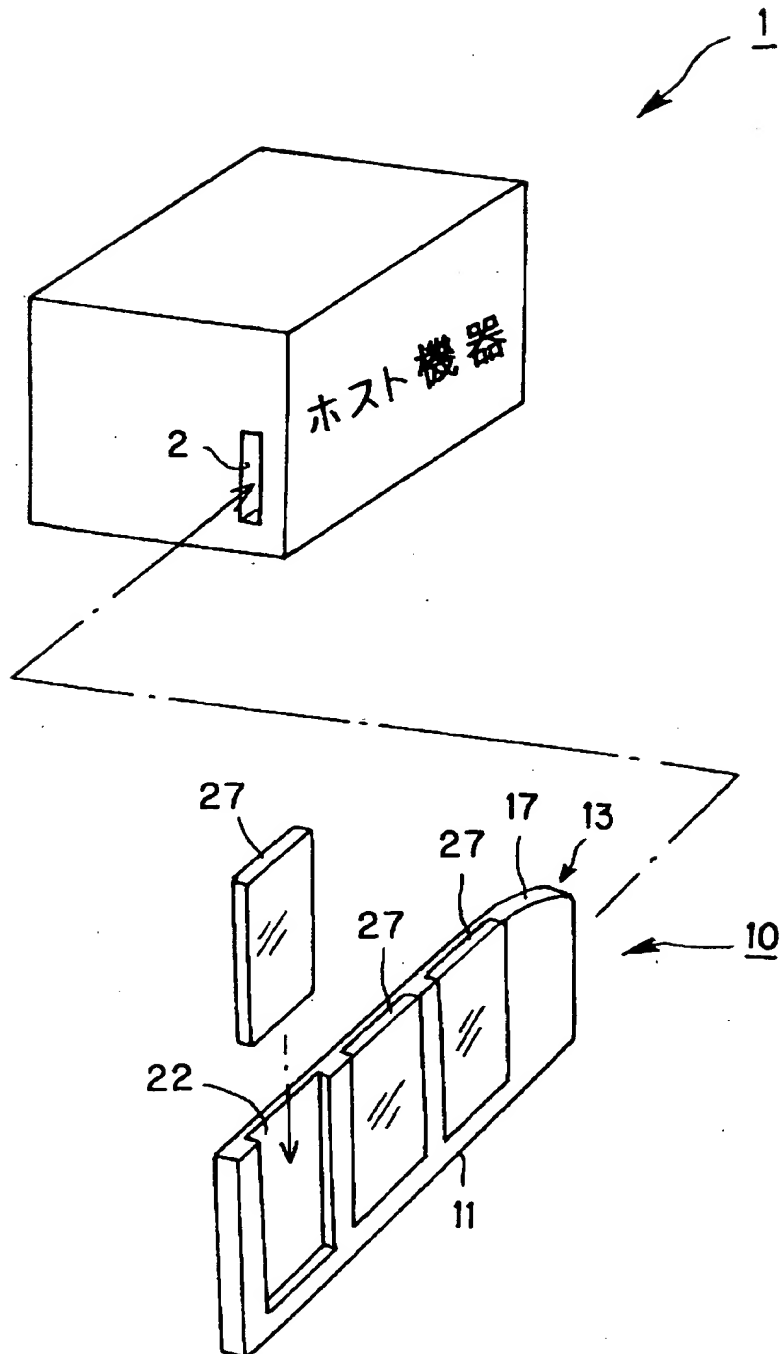
上記装着部にメモリチップと送受信回路チップとアンテナチップとを装着して例を説明する図である。

【符号の説明】

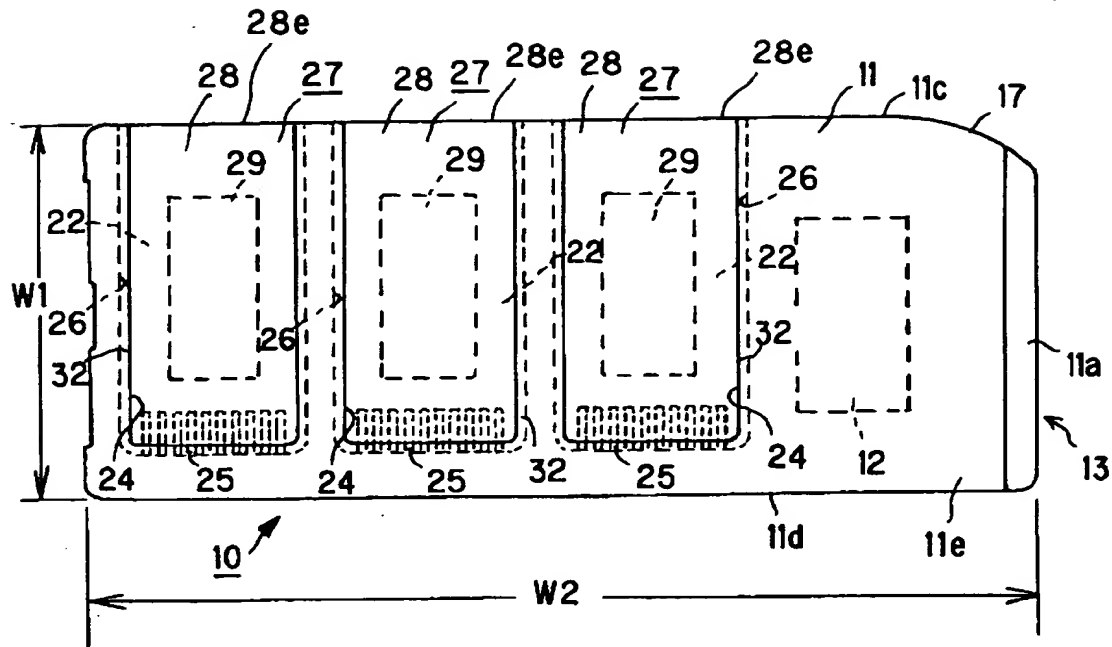
1 ホスト機器、2 挿脱口、10 メモリ装置、11 筐体、12 半導体素子、13 端子部、22 装着部、23 挿脱口、24 開口部、25 接続端子、26 ガイド凹部、27 メモリチップ、28 チップ本体、29 フラッシュメモリ、31 端子、32 ガイド部

【書類名】 図面

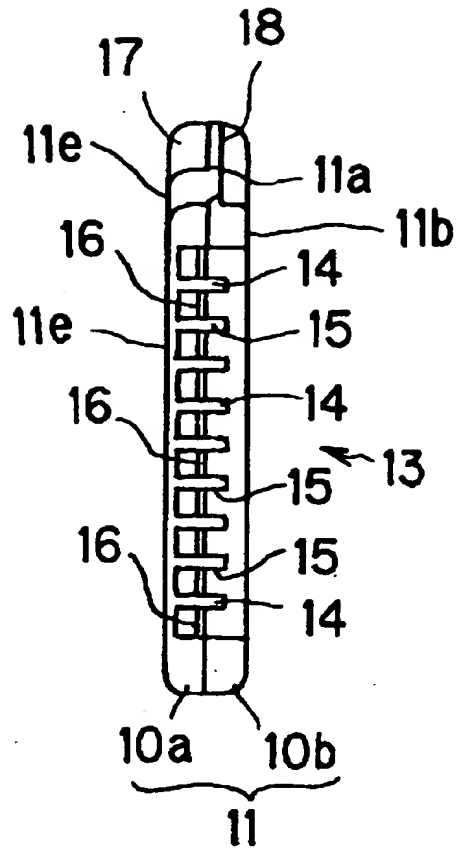
【図 1】



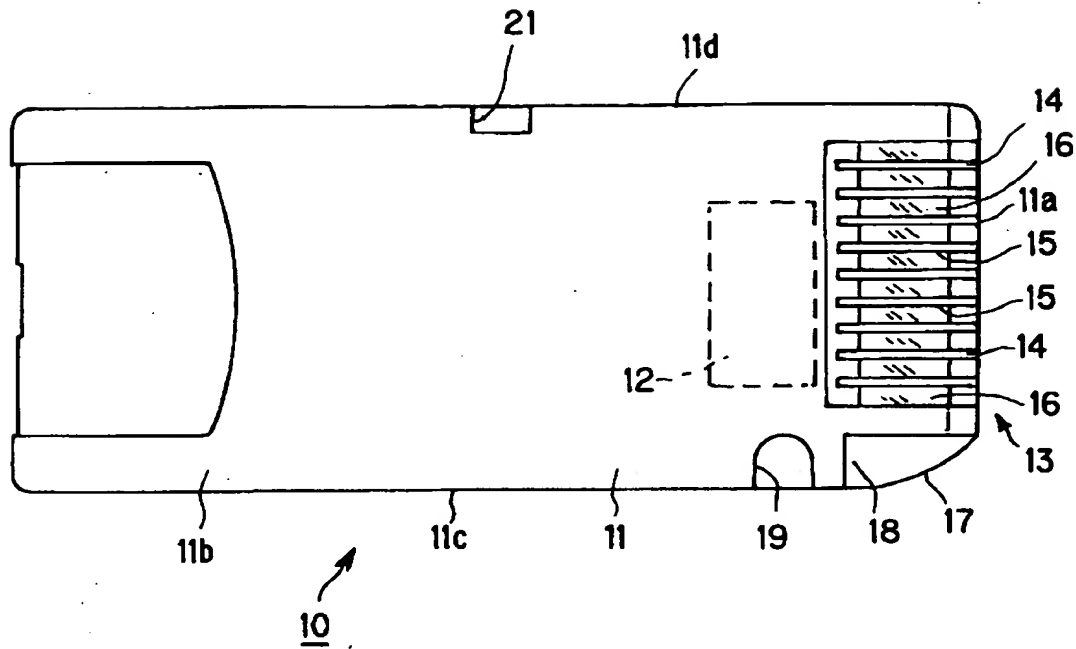
【図 2】



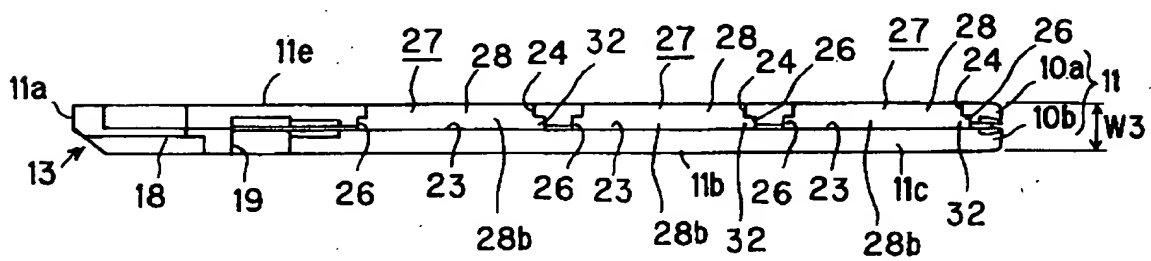
【図 3】



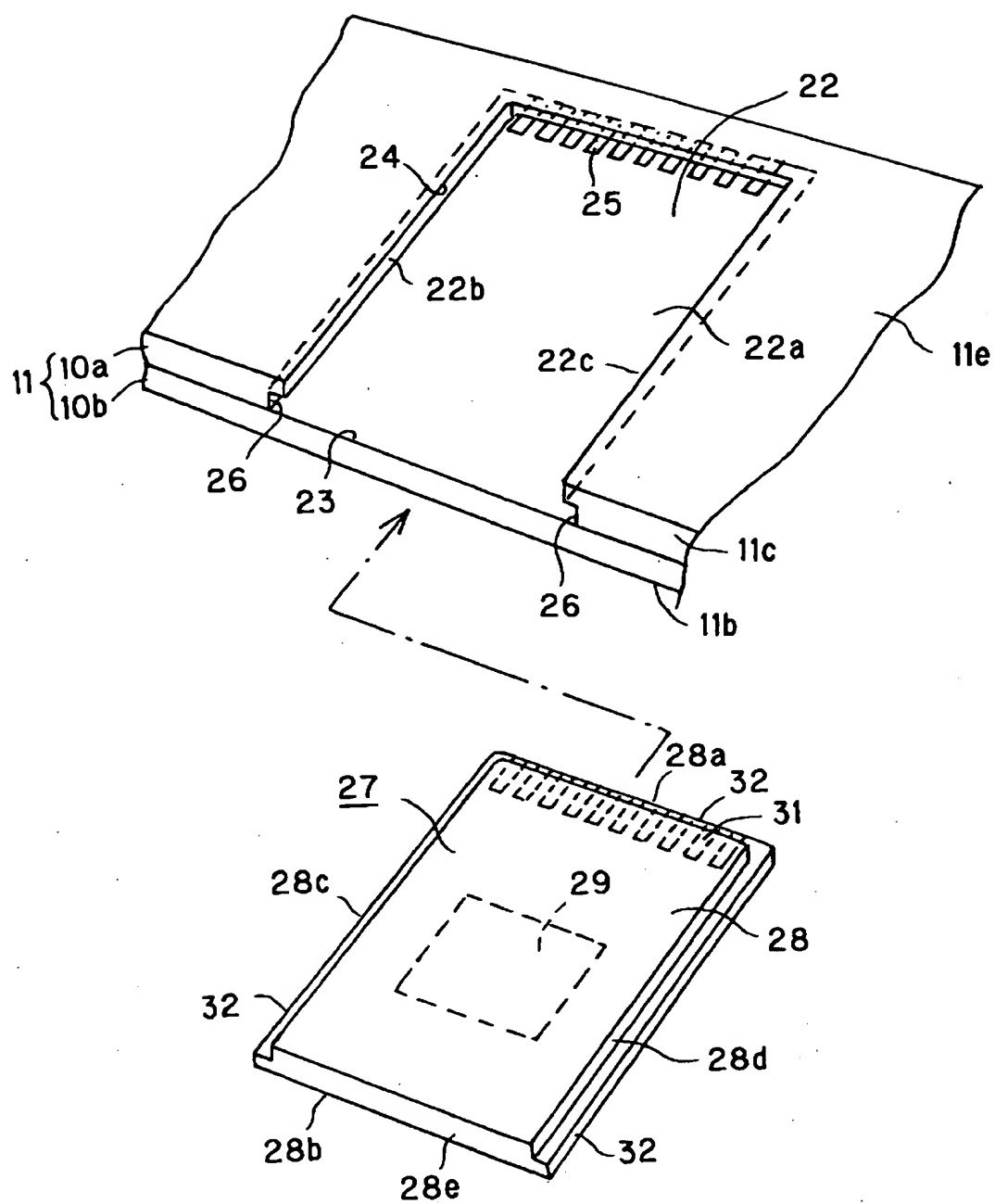
【図 4】



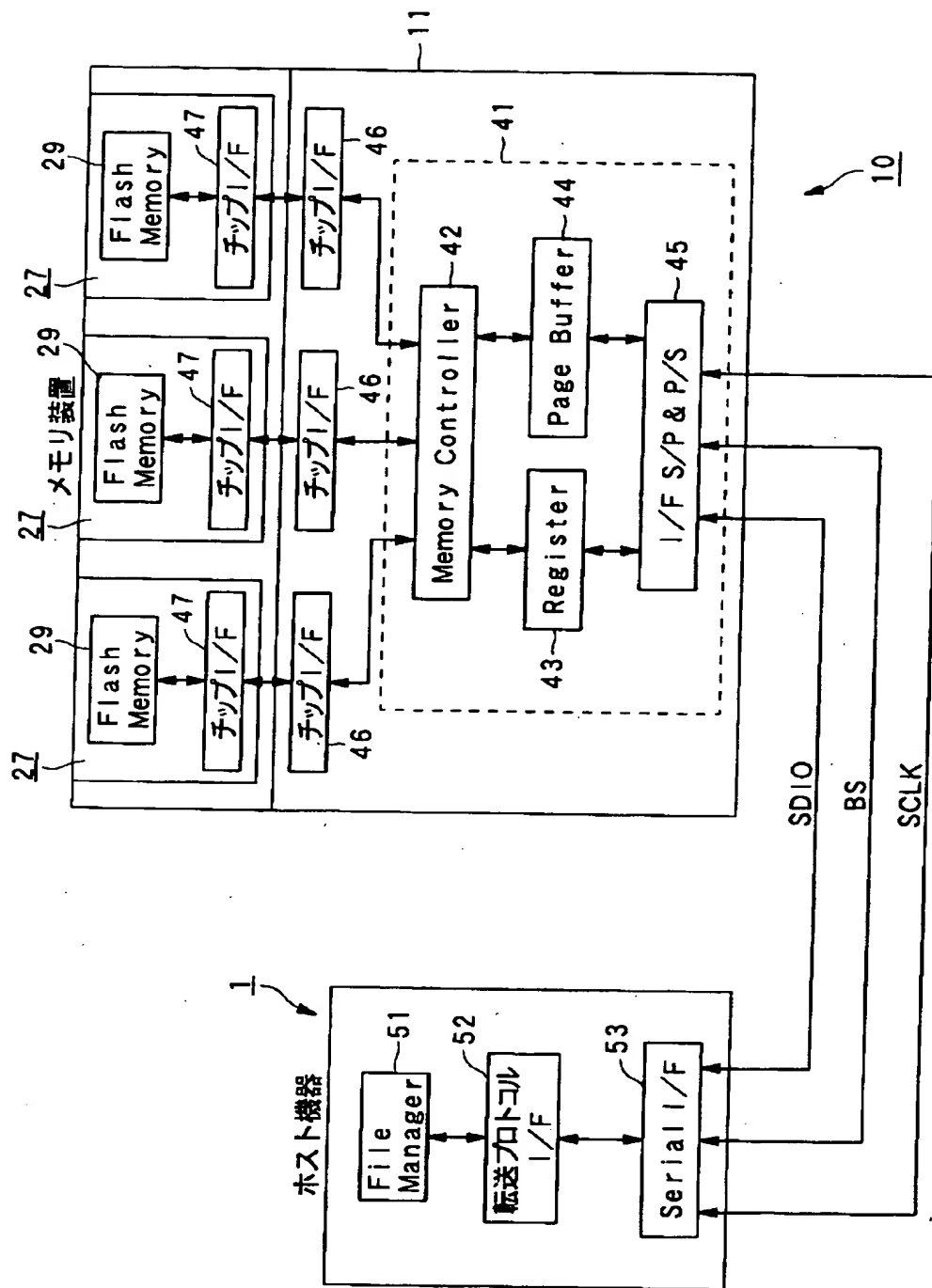
【図 5】



【図 6】

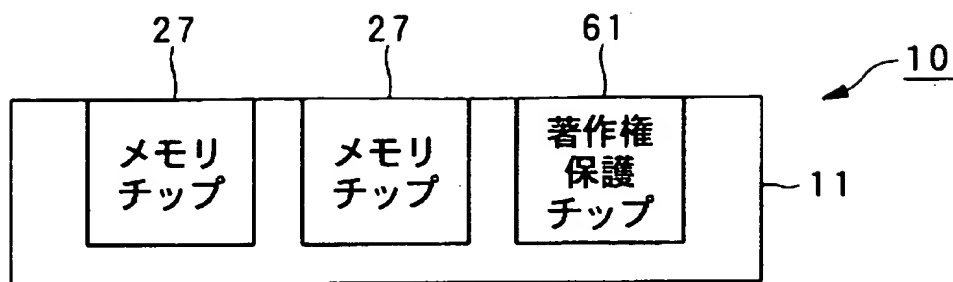


【図 7】

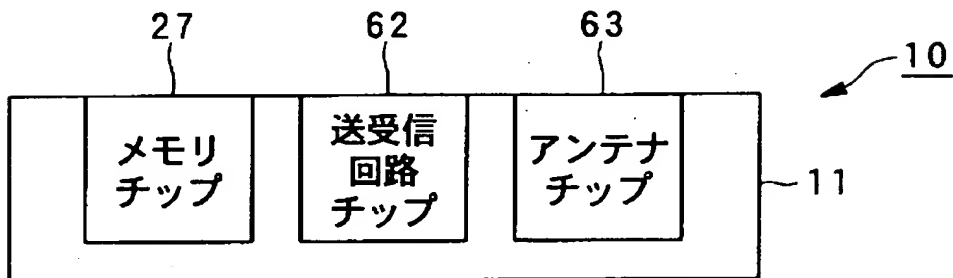




【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 利用者の使用目的に応じて記憶容量を可変することができ、使い勝手を良くする。

【解決手段】 ホスト機器 1 に装着される略矩形の筐体 1 1 と、内部にフラッシュメモリ 2 9 が内蔵されるメモリチップ 2 7 と、筐体 1 1 の一辺に設けられるホスト機器 1 に電氣的に接続するための端子部 1 3 と、筐体 1 1 に装着可能なメモリチップ 2 7 の数に対応して設けられ、メモリチップ 2 7 が装着される装着部 2 2 と、装着部 2 2 に設けられ、メモリチップ 2 7 に設けられた端子 3 1 と電氣的に接続される接続端子 2 5 とを備え、筐体 1 1 には、装着部 2 2 に装着されたメモリチップ 2 7 に対する情報信号の書込と読出を制御する制御部が構成された半導体素子 1 2 が設けられている。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社